**Power Management**

**24.1 Introduction**

전력 최적화는 올바른 Zynq-7000 AP SoC 장치를 선택하는 것으로 시작된다 저전력 애플리케이션의 경우 7z010 또는 7z020 이중 코어 장치 또는 7z007s, 7z012s 또는 7z014s 단일 코어 장치를 선택해야한다 . 기기의 PL 측을 셧다운하면 전력이 크게 감소 할 수 있다. I / O 전압 및 종료선택 또한 전력 소비에 영향을 미친다. 개별 PS 서브 시스템에 대한 클럭 중지를 할 수 있다

PS의 기능은 모든 Zynq-7000 AP SoC 장치에서 동일하지만 7z012s 및 7z015 장치는 이더넷, USB 및 기타 컨트롤러의 가용성에 영향을 미치는 MIO 핀 수를 줄였습니다. 두 개의 Zynq 데이터 시트는 클록 주파수 차이를 설명합니다. 각 디바이스 유형에 대한 PL 리소스 차이는 21.1.2 PL 유형별 리소스 섹션에 나와 있습니다

PS 및 PL에 대한 상세한 장치 레벨 전력 평가는 XPE 전력 추정자 스프레드 시트를 사용하여 얻을 수 있습니다. 전력 사양은 Zynq-7000 AP SoC 장치 데이터 시트 (관련 문서 목록은 부록 A, 추가 자료 참조)에 나와 있습니다

**24.1.1 Features 기능**

주요 시스템 전력 관리 기능은 다음과 같습니다.  
• 장치 기계 중에서 선택하십시오 :

° 7z010 및 7z020 듀얼 코어 또는 7z007s, 7z012s 또는 7z014s 단일 코어 (Artix AP FPGA 기술에서 파생 됨)  
° 7z030, 7z035, 7z045 및 7z100 (Kintex AP FPGA 기술에서 파생 됨)

• PL 전원 끄기

• Cortex A9 프로세서 대기 모드  
대부분의 PS 서브시스템에 대한 클럭 게이팅

• 전력 소모를 최소화하기 위해 3 개의 PLL을 프로그래밍 할 수 있습니다.

• 서브 시스템 클록은 선택적 클럭 주파수

• I / O 뱅크 용 프로그램 전압 :  
° MIO : HSTL 1.8V, LVCMOS 1.8V, 2.5V 및 3.3V  
° DDR : DDR2 1.8V, DDR3 1.5V 및 LPDDR2 1.2V

• DDR3 및 LPDDR2 저전력 모드

• DDR 16 또는 32 비트 데이터 I / O

• XADC를 사용한 내부 및 외부 전압 측정

**24.2 System Design Considerations 시스템 설계 고려 사항**

이 섹션에는 다음과 같은 시스템 설계 고려 사항이 포함됩니다.  
• 24.2.1 장치 기술 선택  
• 24.2.2 PL 파워 다운 제어  
• 24.2.3 APU 최대 주파수  
• 24.2.4 DDR 메모리 클럭 주파수  
• 24.2.5 DDR 메모리 컨트롤러 모드 및 구성  
• 24.2.6 부팅 인터페이스 옵션  
• 24.2.7 PS 클럭 게이팅

**24.2.1 Device Technology Choice 장치 기계 선택**

저전력 디바이스 (7z010 / 7z020 듀얼 코어 및 7z007s / 7z012s / 7z014s 단일 코어)와 고성능 디바이스 (7z030, 7z035, 7z045 및 7z100) 간의 성능 및 성능 차이가 있습니다. 저전력 디바이스는 7 시리즈 Artix AP FPGA에서 파생됩니다. 더 크고 더 높은 성능의 디바이스는 Kintex AP FPGA에서 파생됩니다.  
  
PS 및 PL 내에서 코어 로직, I / O 및 보조 회로에 전원을 공급하는 데 여러 개의 전원 공급 장치가 사용됩니다. 독립 I / O 뱅크는 1.8V, 2.5V 및 3.3V I / O 표준을 혼합하여 사용할 수 있습니다. 또한 PS는 각각 1.8V, 1.5V 및 1.2V에서 동작하는 DDR2, DDR3 및 LPDDR2를 지원하는 DDR 인터페이스를 포함하고있다.  
  
Zynq-7000 AP SoC 제품군은 Xilinx ADC (XADC) 서브 시스템 (30 장, XADC 인터페이스 참조)의 센서를 활용하여 전압 및 온도 모니터링을 지원합니다. XADC는 장치 내에서 전압 및 온도 수준을 실시간으로 모니터링합니다.

**24.2.2 PL Power-down Control PL파워 다운 제어**

PL을 사용하지 않을 경우 전원을 절약하기 위해 PL을 완전히 셧다운 할 수 있습니다. 이를 위해서는 PS 및 PL에 독립적으로 연결된 전원 공급 장치가 필요합니다. 또한 부팅 및 전원 끄기 중에는 몇 가지 제한 사항이 적용됩니다. 자세한 내용은 DS187 및 DS191, Zynq-7000 모든 프로그래밍 가능 SoC DC 및 AC 스위칭 특성을 참조하십시오. PL 전원을 끄는 시퀀스 예는 2.4 PS-PL 전압 레벨 시프터 사용 가능 섹션에 나와 있습니다.  
  
PL 전원 시스템은 GPIO, I2C 컨트롤러 또는 외부 프로세서를 통해 제어 할 수 있습니다. PL의 전원이 꺼지면 EMIO, PL AXI를 포함한 모든 PS- PL 신호에 액세스하지 않아야합니다.  
  
PL은 전원이 꺼지면 구성을 잃어 버리고 다시 전원을 켤 때 다시 구성해야합니다. 소프트웨어는 PL의 전원을 끄는 것이 안전 할 때를 결정해야합니다

**24.2.3 APU Maximum Frequency APU 최대 주파수**

최대 처리 성능을 필요로하지 않는 응용 프로그램의 경우 APU 최대 주파수를 응용 프로그램 요구를 충족시키기 위해 줄일 수 있습니다. 낮은 클록 주파수는 높은 주파수에서 작동하는 것과 비교할 때 작동 전력을 상당히 감소시킬 수 있습니다

**24.2.4 DDR Memory Clock Frequency 메모리 클럭 주파수**

최대 DDR 대역폭을 필요로하지 않는 애플리케이션의 경우 애플리케이션 대역폭 요구 사항을 충족하기 위해 DDR 대역폭을 줄일 수 있습니다. 이를 통해 더 높은 주파수에서 작동하는 것에 비해 작동 전력을 크게 줄일 수 있지만 더 중요한 것은 더 낮은 전력 DDR 표준 및 구성을 사용할 수 있다는 것입니다.

**24.2.5 DDR Memory Controller Modes and Configurations**

**DDR 메모리 컨트롤러 모드 및 구성**

DDR2, DDR3 및 LPDDR2 DDR 표준은 16 비트 및 32 비트 데이터 작업에서 모두 지원됩니다. DDR 전력은 전체 전력의 상당 부분을 차지할 수 있으므로 DDR 전력을 최소화하는 것이 시스템 전력을 감소시키는 중요한 수단입니다.  
  
다음 기능은 DDR 전력에 영향을 미칩니다.  
  
• 최고 전력 DDR 표준은 1.8V 작동 전압 및 종료 요구 사항으로 인해 DDR2입니다.  
• 최고 속도 DDR 표준은 1,066 Mb / s -1의 장치에서 작동하는 DDR3입니다.  
• 최저 전력 인터페이스 DDR 표준은 1.2V 작동 전압과 종료되지 않은 I / O로 인해 LPDDR2이지만 DDR3에 비해 속도가 제한적입니다.  
• DDR 너비는 16 또는 32 비트로 설정할 수 있습니다. ECC의 경우 32 비트 버스 폭 (16 비트 데이터, 10 비트 ECC)을 사용하십시오.  
• 시스템의 총 DDR 장치 수는 시스템 전원에 영향을줍니다. 예를 들어, 4 개의 8 비트 DDR 장치는 2 개의 16 비트 장치보다 높은 시스템 성능을 제공합니다.

• 32 비트 DDR 장치는 LPDDR2에서만 사용할 수 있습니다.  
• 종료 강도 : 가능한 경우 가장 높은 종료 값을 사용하십시오. 40Ω의 종단 값은 60Ω보다 종단 전원이 50 % 더 큽니다.

**24.2.6 Boot Interface Options 부팅 인터페이스 옵션**

PS는 Quad-SPI, NAND 및 NOR 장치에서 부팅을 지원합니다. 부팅 프로세스는 장치의 전원을 켤 때 한 번만 발생하므로 부팅 장치는 시스템 수준의 동적 전원에 영향을 미치지 않습니다. 저전압 1.8V 디바이스는 3.3V 디바이스보다 정적 전력이 낮다

**24.2.7 PS Clock Gating PS 클록 게이팅**

PS는 독립적 인 클럭 게이팅 제어 기능을 갖춘 많은 클록 도메인을 지원합니다. 시스템이 실행 모드에있을 때 사용자는 사용되지 않는 클럭 도메인을 종료하고 동적 전력 소비를 줄일 수 있습니다

**24.3 Programming Guides**

**24.3.1 System Modules**

Zynq-7000 AP SoC의 시스템 모듈의 전원 관리 기능은 해당 장에서 자세히 설명합니다. 개요 및 추가 참조는 표 24-4를 참조하십시오.

**24.3.2 Peripherals 주변 장치**

주요 주변 전력 관리 메커니즘은 클럭 스케일링과 게이팅입니다. 25장 클럭은 시스템 클럭과 디바이더, 게이트 및 멀티플렉서를 통해 시스템 클럭을 제어하는 방법에 대해 설명합니다. 표 24-2는 서브시스템 장치의 전원 관리 기능에 대한 간략한 개요를 제공합니다. 모든 주변 장치에는 클록 게이팅 및 경우에 따라 저전력 상태가 포함됩니다

이러한 모든 요소가 함께 작동하면 시스템 레벨의 절전 모드가 정의됩니다. (24.4절 절전모드 참조) 절전모드에서 전체 칩은 저전력 상태로 들어가고 웨이크 업 이벤트가 계속해서 작동 할 때까지 대기합니다

**Peripheral Clock Gating 주변 클록 게이팅**

상호 연결을 위한 독립적인 클럭 도메인을 가진 주변 장치의 경우, 장치의 상호 연결 클록을 마지막으로 비활성화하고 먼저 액세스 가능하지 않은 레지스터 영역에 대한 액세스를 피하십시오. 자세한 내용은 25 장, 클록 및 주변 장치에 대한 해당 장을 참조하십시오

**24.3.3 I/O Buffers**  
I / O 버퍼 제어를위한 전원 관리는 표 24-3에 나와 있습니다.

**24.4 Sleep Mode**

절전 모드는 시스템 레벨에서 APU를 대기 모드로 포함하고 여러 컨트롤러가 클럭없이 리셋 상태로 유지되도록 정의됩니다.  
  
절전 모드로 들어가면 전력 소비를 크게 줄일 수 있습니다. 절전 모드에서는 대부분의 클럭그룹 기능 이 꺼지거나 전원이 꺼집니다. 필요한 유일한 활성 장치는 하나의 CPU, 스눕 제어 장치 (SCU) 및 웨이크 업 장치입니다. 이상적으로, 동적 전력 소비를 야기하는 유일한 장치는 SCU 및 웨이크 업 주변 장치 여야합니다. 웨이크 업 장치는 UART, GPIO 또는 인터럽트를 생성 할 수있는 장치 일 수 있습니다.  
  
웨이크 업 장치가 DRAM을 대상으로 트랜잭션을 시작할 수있는 AXI 버스 마스터 인 경우 추가 제한 사항이 적용됩니다. 전체 인터커넥트와 DDR 메모리는 저전력 모드에 있기 때문에 액세스가 불가능하기 때문에 DRAM에 대한 트랜잭션이 발생하기 전에 CPU가 전체 웨이크 업 프로세스를 거친다는 것을 보장해야한다. 이렇게하면 DRAM을 대상으로하는 잠재적 트랜잭션이 올바르게 제공됩니다

**24.4.1 Setup Wake-up Events**  
PS로 신호되는 모든 인터럽트는 웨이크 업 이벤트로 사용될 수 있습니다. 이를 수행하려면 주변 장치와 GIC에서 원하는 인터럽트를 활성화해야합니다. 웨이크 업 장치는 절전 모드에서 인터럽트를 생성 할 수 있어야합니다. 즉, 클록이 게이트 오프되지 않을 수도 있습니다. 자세한 정보는 388 페이지, 모닝콜 이벤트로 GPIO를 참조하십시오.  
사용 가능한 인터럽트 및 인터럽트를 생성하도록 주변 장치를 구성하는 방법에 대한 정보는 각 장을 참조하십시오.

**24.4.2 Programming Guide**

다음은 정상 작동 모드에서 PS 절전 모드로 들어가고 PS 절전 모드에서 빠져 나오기위한 예비 단계를 보여줍니다. 절전 모드에서 마스터 CPU는 가능한 경우 시스템 및 PL의 다른 모든 마스터를 포함하여 모든 non-wake up를 종료합니다. 웨이크 업 장치를 구성하는 것은 원하는 웨이크 업 인터럽트를 활성화하는 것뿐만 아니라 수정 된 클럭 주파수를 처리 할 수 ​​있도록 주변 장치 구성을 변경하는 것을 의미 할 수 있습니다. 두 CPU가 모두 실행 중이면 마스터 CPU는 먼저 아래에 설명 된 단계를 수행하기 전에 보조 CPU를 종료해야합니다. CPU가 마스터 CPU 역할을하는 것은 사용자의 선택입니다. 또한, 예를 들어 OCM에 코드 세그먼트를 배치하거나 L2 캐시 및 TLB를 잠그는 등의 방식으로 DDR 클록이 액세스 불능으로되는 동안 실행되는 코드를 유지하기위한 예방 조치가 취해 져야한다. 실제 구현에 따라, 이것은 다른 것들 중에서, 다음에 적용될 수 있습니다 :

• DDR을 사용할 수 없을 때 실행되는 코드  
• 대기 모드 들어가기 및 나가기 루틴  
• 번역 테이블  
• 스택

현재 사용되는 변환 테이블 및 스택의 위치는 각각 TTBR과 SP 레지스터를 통해 제어 할 수 있습니다. 따라서 필요한 경우 정상 작동 모드와 대기 모드에 대해 서로 다른 구조물을 전환 할 수 있습니다.  
  
대기 시퀀스 중에 CPU에서 인터럽트가 비활성화됩니다. 이렇게하면 대기 모드로 들어가는 동안 실행을 중단 할 수 없으며 wake-up 이벤트가 발생하면 벡터 테이블로 점프하는 대신 wfi 명령 바로 다음에서 실행이 다시 시작됩니다. 웨이크 업 인터럽트는 해당 웨이크 업 장치와 GIC 인터럽트 컨트롤러에서 활성화되어 적시의 웨이크 업 이벤트를 발생시켜야합니다. 웨이크업 인터럽트가 다시 활성화되면 웨이크업 인터럽트가 계속 보류되어 CPU가 인터럽트 핸들러로 정상적으로 이동합니다

**Enter Sleep Mode**

정상 실행 모드에서 절전 모드로 들어가려면 CPU가 다음 단계를 실행해야합니다.  
1. 인터럽트를 비활성화하십시오. 체냥 if 를 실행하십시오.  
2. 웨이크 업 장치를 구성하십시오.  
3. L2 캐시 동적 클록 게이팅을 활성화합니다. l2cpl310.reg15\_power\_ctrl [dynamic\_clk\_gating\_en] = 1로 설정하십시오.  
4. SCU 대기 모드를 활성화하십시오. mpcore.SCU\_CONTROL\_REGISTER [SCU\_standby\_enable] = 1로 설정하십시오.  
5. 톱 스위치 클록 정지를 활성화하십시오. slcr.TOPSW\_CLK\_CTRL [CLK\_DIS] = 1로 설정하십시오.  
6. Cortex-A9 동적 클록 게이팅을 활성화합니다. cp15.power\_control\_register [dynamic\_clock\_gating] = 1로 설정하십시오.  
7. 외부 DDR 메모리를 셀프 리프레시 모드로 설정하십시오. 10.9.6 절 전력 감소를 참조하십시오.  
8. PLL을 우회 모드로 설정하십시오. 슬레이브 {ARM, DDR, IO} \_PLL\_CTRL [PLL\_BYPASS\_FORCE] = 1로 설정하십시오.  
9. PLL을 종료하십시오. slcr. {ARM, DDR, IO} \_PLL\_CTRL [PLL\_PWRDWN] = 1로 설정하십시오.  
10. 클록 제수를 늘려 CPU 클럭을 느리게하십시오. slcr.ARM\_CLK\_CTRL [DIVISOR] = 0x3f로 설정하십시오.  
11. wfi 명령을 실행하여 WFI 모드로 들어갑니다.

**Exit Sleep Mode**

절전모드를 종료하면 구성된 인터럽트가 발생하면 트리거됩니다. 인터럽트는 CPU를 깨우고 실행을 재개합니다. 새로 시작하는 활동은 또한 톱 스위치, SCU 및 L2 캐시 컨트롤러가 유휴 상태를 떠나 정상 작동을 계속하도록 트리거합니다. waking up까지의 절차는 다음과 같습니다

절전 모드를 종료하려면:

1. CPU 클럭 제수(나눈수) 설정을 복원하십시오. slcr.ARM\_CLK\_CTRL [DIVISOR] = <원래 값>으로 설정하십시오.  
2. PLL의 전원을 켭니다. {ARM, DDR, IO} \_PLL\_CTRL [PLL\_PWRDWN] = 0으로 설정하십시오.  
3. PLL 전원을 켜고 잠급니다. slcr.PLL\_STATUS [{ARM, DDR, IO} \_PLL\_LOCK] == 1을 기다립니다.  
4. PLL 바이 패스 모드를 비활성화하십시오. {ARM, DDR, IO} \_PLL\_CTRL [PLL\_BYPASS\_FORCE] = 0으로 설정하십시오.  
5. L2 캐시 동적 클록 게이팅을 비활성화합니다. l2cpl310.reg15\_power\_ctrl [dynamic\_clk\_gating\_en] = 0으로 설정하십시오.  
6. SCU 대기 모드를 비활성화하십시오. mpcore.SCU\_CONTROL\_REGISTER [SCU\_standby\_enable] = 0으로 설정하십시오.  
7. 인터커넥트 클럭 정지를 비활성화하십시오. slcr.TOPSW\_CLK\_CTRL [CLK\_DIS] = 0으로 설정하십시오.  
8. Cortex-A9 동적 클록 게이팅을 비활성화합니다. cp15.power\_control\_register [dynamic\_clock\_gating] = 0으로 설정하십시오.  
 9. DDR 컨트롤러 클럭을 포함하여 필요한 모든 주변 장치를 활성화하십시오.  
10. 인터럽트를 다시 활성화하고 제공합니다. if cpsie를 실행하십시오

중요 : PLL을 바이 패스(우회)하고 클럭 분배기를 수정하면 시스템의 클록 주파수가 변경됩니다. 이러한 조건에서 웨이크업 장치 및 워치 독 타이머 (사용 된 경우) 등을 적절하게 조심해야합니다.

**24.5 Register Overview**

표 24-4는 전원 관리 레지스터의 개요를 제공합니다.